

50371236

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年10月24日
Date of Application:

出願番号 特願2002-309978
Application Number:

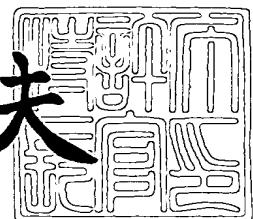
[ST. 10/C] : [JP2002-309978]

出願人 ソニー株式会社
Applicant(s):

2003年 8月11日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3064360

【書類名】 特許願

【整理番号】 0290601404

【提出日】 平成14年10月24日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 7/00

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 小川 剛

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100067736

【弁理士】

【氏名又は名称】 小池 晃

【選任した代理人】

【識別番号】 100086335

【弁理士】

【氏名又は名称】 田村 榮一

【選任した代理人】

【識別番号】 100096677

【弁理士】

【氏名又は名称】 伊賀 誠司

【手数料の表示】

【予納台帳番号】 019530

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707387

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 複合チップモジュール及びその製造方法、並びに複合チップユニット及びその製造方法

【特許請求の範囲】

【請求項 1】 絶縁層と、この絶縁層の第1の主面上及び第2の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された上記接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、

上記接続ランド部に接続される接続端子を有し、この接続端子が上記接続ランド部と接続されて上記絶縁層の第1の主面上に実装されることで上記層間ビアを介して出入力される電気信号を処理する電気チップと、

上記接続端子が接続された上記接続ランド部に上記層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、当該主面と上記絶縁層の第2の主面とが同一面になるように上記絶縁層に埋め込まれることで上記発光部及び／又は上記受光部が上記絶縁層の第2の主面で露出されている光学チップと

を備えていることを特徴とする複合チップモジュール。

【請求項 2】 上記回路部は、複数の上記絶縁層が積層され、これら複数の上記絶縁層の主面上にそれぞれ形成された上記パターン配線と、このパターン配線同士を層間接続させる上記層間ビアとを有し、

上記電気チップは、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装され、

上記光学チップは、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込まれていることを特徴とする請求項1記載の複合チップモジュール。

【請求項 3】 上記光学チップは、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込まっていることを特徴とする請求項1記載の複合チップモジュール。

【請求項 4】 絶縁層と、この絶縁層の第1の主面上及び第2の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、

上記接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、上記接続ランド部と上記接続端子とを接続させることで上記絶縁層の第1の主面に実装する実装工程と、

外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、当該主面と上記絶縁層の第2の主面とが同一面になるように上記絶縁層に埋め込むことで上記発光部及び／又は上記受光部を上記絶縁層の第2の主面に露出させる埋め込み工程と、

上記絶縁層の両主面上に形成された上記接続ランド部間、及び上記接続端子が接続された上記接続ランド部と上記光学チップの端子部とを電気的に層間接続させる層間ビアを、上記回路部に形成するビア形成工程と

を有することを特徴とする複合チップモジュールの製造方法。

【請求項5】 上記回路部形成工程においては、複数の上記絶縁層を積層し、これら複数の上記絶縁層の主面上に上記パターン配線をそれぞれ形成させ、

上記実装工程においては、上記電気チップを、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装させ、

上記埋め込み工程においては、上記光学チップを、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込むことを特徴とする請求項4記載の複合チップモジュールの製造方法。

【請求項6】 上記埋め込み工程においては、上記光学チップを、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込むことを特徴とする請求項4記載の複合チップモジュールの製造方法。

【請求項7】 絶縁層と、この絶縁層の第1の主面上及び第2の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された上記接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、上記接続ランド部に接続される接続端子を有し、この接続端子が上記接続ランド部と接続されて上記絶縁層の第1の主面上に実装されることで上記層間ビアを介して出入力される電気信号を処理する電気チップと、上記接続端子が接続された上記接続ランド部に上記層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、当該主面と上記絶縁層の第2の主面とが同一面になるよう

に上記絶縁層に埋め込まれることで上記発光部及び／又は上記受光部が上記絶縁層の第2の主面で露出されている光学チップとを備える複合チップモジュールと

、
上記複合チップモジュールにおける上記絶縁層の第2の主面上に形成され、上記絶縁層の第2の主面で露出する上記発光部と上記受光部とを光学的に接続させる光伝送路と、上記複合チップモジュールの上記接続ランド部に電気的に接続される接続ビアとを有する光電気配線層と

を備えていることを特徴とする複合チップユニット。

【請求項8】 上記光電気配線層における光伝送路は、上記発光部で発光された光信号を全反射させながら上記受光部まで伝播させる光導波路であることを特徴とする請求項7記載の複合チップユニット。

【請求項9】 上記複合チップモジュールにおける回路部は、複数の上記絶縁層が積層され、これら複数の上記絶縁層の主面上にそれぞれ形成された上記パターン配線と、このパターン配線同士を層間接続させる上記層間ビアとを有し、

上記電気チップは、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装され、

上記光学チップは、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込まれていることを特徴とする請求項7記載の複合チップユニット。

【請求項10】 上記複合チップモジュールにおける光学チップは、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込まれていることを特徴とする請求項7記載の複合チップユニット。

【請求項11】 絶縁層と、この絶縁層の第1の主面上及び第2の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、上記接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、上記接続ランド部と上記接続端子とを接続することで上記絶縁層の第1の主面上に実装する実装工程と、外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、当該主面と上記絶縁層の第2の主面とが同一面になるように上記絶縁層に埋め込むことで上記発光部及び／又は上記受光部を上記絶縁層の第2の主面に

露出させる埋め込み工程と、上記絶縁層の両主面上に形成された上記接続ランド部間、及び上記接続端子が接続された上記接続ランド部と上記光学チップの端子部とを電気的に層間接続させる層間ビアを、上記回路部に形成するビア形成工程とを経て複合チップモジュールを形成する工程と、

上記複合チップモジュールにおける上記絶縁層の第2の主面上に、上記絶縁層の第2の主面で露出する上記発光部と上記受光部とを光学的に接続させる光伝送路と、上記複合チップモジュールの第2の主面上に形成された上記接続ランド部に電気的に接続される接続ビアとを有する光電気配線層を形成させる工程とを有していることを特徴とする複合チップユニットの製造方法。

【請求項12】 光電気配線層を形成させる工程において、上記光伝送路として、上記発光部で発光された光を全反射させながら上記受光部まで伝播させる光導波路を形成させることを特徴とする請求項11記載の複合チップユニットの製造方法。

【請求項13】 上記複合チップモジュールを形成させる工程の回路部形成工程においては、複数の上記絶縁層を積層し、これら複数の上記絶縁層の主面上に上記パターン配線をそれぞれ形成させ、

上記実装工程においては、上記電気チップを、複数積層された上記絶縁層のうち、最上層の上記絶縁層の主面上に実装させ、

上記埋め込み工程においては、上記光学チップを、複数積層された上記絶縁層のうち、最下層の上記絶縁層に埋め込むことを特徴とする請求項11記載の複合チップユニットの製造方法。

【請求項14】 上記複合チップモジュールを形成させる工程の埋め込み工程においては、上記光学チップを、上記絶縁層の厚み方向に上記電気チップを投影した領域内に埋め込むことを特徴とする請求項11記載の複合チップユニットの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電気チップと光学チップとを備え、情報信号の伝達速度の高速化を

可能にした複合チップモジュール及びその製造方法、並びにこの複合チップモジュールを備え光学チップ同士の接続が光伝送路でされた複合チップユニット及びその製造方法に関する。

【0002】

【従来の技術】

近年では、例えばIC (Integrated Circuit) チップやLSI (Large Scale Integration) チップ等といった集積回路チップの技術進歩により、集積回路の動作速度や集積規模が大きくなつてマイクロプロセッサの高性能化や、メモリーチップの大容量化が急速に達成されている。このような集積回路チップでは、回路基板に実装させた場合、チップ間が比較的短距離であつても情報の伝達は電気信号により行われている。

【0003】

そして、集積回路チップの更なる高性能化に伴い、チップ間を行き交う信号の伝達速度の高速化は不可欠であり、電気信号の高密度化、すなわち電気配線の高密度化が必要とされている。

【0004】

しかしながら、回路基板においては、電気配線の高密度化には限界があると共に、電気配線のCR (Capacitance-Resistance) 時定数による信号遅延が問題となる。また、回路基板においては、電気信号の高速化や電気配線の高密度化が、例えばEMI (Electromagnetic Interference) ノイズやチャンネル間のクロストーク等といった不具合が起きる原因となることから、これら不具合の対策も不可欠となる。

【0005】

上述した問題を解決する手段としては、例えば光信号配線や光インターフェクション等といった光配線で、電子機器間、回路基板間、チップ間等を配線させることが提案されている。特に、チップ間のような短距離間の情報伝達には、回路基板に実装されたチップ間に光を全反射させながら伝播させる光導波路を形成し、この光導波路を伝送路にした光伝送・通信システムを構築することが望まれている。

【0006】

このような光伝送・通信システムとしては、例えば電気信号を光信号に変換させる発光部及び／又は光信号を電気信号に変換させる受光部を有する光学チップ、電気信号の演算処理等が行われるICチップやLSIチップ等といった電気チップ等が回路基板等に実装された複合チップユニットが用いられている。

【0007】

この複合チップユニットにおいては、例えば光学チップや電気チップへの電力の供給や、各種コントロール信号の伝達を電気信号により行う必要があることから、上述した光導波路の他に回路基板にパターン配線等も形成されたハイブリット型の回路基板が用いられる。

【0008】

具体的に、この複合チップユニットには、例えばシリコン基板やガラス基板の主面上にパターン配線が薄膜形成技術等で形成され、その上方に光配線として光導波路が積層形成されたハイブリット型の回路基板が用いられる。また、既製のプリント配線基板の主面上に光配線として光導波路を形成させたハイブリット型の回路基板等も用いられる。このようなハイブリット型の回路基板において、光配線として光導波路を形成する際は、例えば光導波路の材料に高分子化合物を用いて低温プロセスにより形成される。

【0009】

そして、複合チップユニットにおいては、複数実装された電気チップ間の情報伝達を光配線で行う場合、電気チップからの入出力される電気信号を光信号に変換させるための光学チップが必要になる。具体的に、複合チップユニットにおいては、電気チップから電気信号が出力される側には出力された電気信号を変換させて光信号として発光する半導体レーザや発光ダイオード等の発光素子や、電気チップに電気信号が入力される側には光配線により伝播された光信号を受光して電気信号に変換させるフォトディテクタ等の受光素子を有する光学チップが必要になる。

【0010】

すなわち、複合チップユニットにおいては、電気チップから出力された電気信

号を発光素子に印加することで、電気信号が発光素子で光信号に変換、発光されて光導波路等で伝播される。そして、光導波路等で伝播された光信号を受光素子で受光し、受光した光信号を受光素子が電気信号に変換させて電気チップに入力される。

【0011】

【発明が解決しようとする課題】

そして、上述した複合チップユニットにおいては、電気チップと光学チップとの接続には例えばパターン配線等による電気的な接続が必要であり、電気信号の伝達速度が高速化、高密度化されるほど、電気チップと光学チップとの電気的な接続で発生する寄生容量を小さくさせる接続が求められる。

【0012】

しかしながら、この複合チップユニットでは、ハイブリット型の回路基板にパターン配線と光配線とが混載していることから、電気チップと光学チップとの電気的な接続が複雑となり電気チップと光学チップとの電気的な接続で発生する寄生容量が大きくなってしまうのが現状である。

【0013】

また、この複合チップユニットでは、パターン配線と光配線とが混載により、小型化にも限界がある。

【0014】

さらに、この複合チップユニットでは、パターン配線と光配線とが複雑に入り混じっていることから、製造時の歩留まりが低下するといった問題もある。

【0015】

そこで、本発明は、このような従来の実情に鑑みて提案されたものであり、電気チップと光学チップとを混在しながら、これら電気チップと光学チップとの接続により発生する寄生容量の低減と、製造時の歩留まりの向上とが図られた複合チップモジュール及びその製造方法、並びにこの複合チップモジュールを有する複合チップユニット及びその製造方法を提供することを目的に提案されたものである。

【0016】

【課題を解決するための手段】

上述した目的を達成する本発明に係る複合チップモジュールは、絶縁層と、この絶縁層の第1の主面上及び第2の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、接続ランド部に接続される接続端子を有し、この接続端子が接続ランド部と接続されて絶縁層の第1の主面上に実装されることで層間ビアを介して出入力される電気信号を処理する電気チップと、接続端子が接続された接続ランド部に層間ビアを介して接続される端子部を有し、発光部及び／又は受光部が主面に形成され、この主面と絶縁層の第2の主面とが同一面になるように絶縁層に埋め込まれることで発光部及び／又は受光部が絶縁層の第2の主面で露出されている光学チップとを備えていることを特徴としている。

【0017】

この複合チップモジュールでは、絶縁層の第1の主面上に実装された電気チップと、絶縁層の第2の主面上に埋め込まれた光学チップとが層間ビアにより電気的に層間接続されていることから、電気チップと光学チップとの電気的な接続が短距離化、簡略化されて電気チップと光学チップとの接続で生じる寄生容量の低減である。

【0018】

この複合チップモジュールでは、電気チップと光学チップとの電気的な接続の短距離化、簡略化により、小型化、及び電気チップと光学チップとの間を行き交う電気信号の伝達速度の高速化を図れる。

【0019】

この複合チップモジュールでは、例えばベース基板等に実装する際に、光学チップの主面と絶縁層の第2の主面とが同一面になるように光学チップが絶縁層に埋め込まれていることで、絶縁層の第2の主面を実装面としてベース基板等に適切且つ容易に実装することができる。

【0020】

上述した目的を達成する本発明に係る複合チップモジュールの製造方法は、絶縁層と、この絶縁層の第1の主面上及び第2の主面上に形成された接続ランド部

を備えるパターン配線とを有する回路部を形成する回路部形成工程と、接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、接続ランド部と接続端子とを接続させることで絶縁層の第1の主面に実装する実装工程と、外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、光学チップの主面と絶縁層の第2の主面とが同一面になるように絶縁層に埋め込むことで発光部及び／又は受光部を絶縁層の第2の主面に露出させる埋め込み工程と、絶縁層の両主面上に形成された接続ランド部間、及び接続端子が接続された接続ランド部と光学チップの端子部とを電気的に層間接続させる層間ビアを、回路部に形成するビア形成工程とを有することを特徴としている。

【0021】

この複合チップモジュールの製造方法では、絶縁層の第1の主面に実装された電気チップと、絶縁層の第2の主面に埋め込まれた光学チップとを層間ビアにより電気的に層間接続させていることから、電気チップと光学チップとの電気的な接続が短距離化、簡略化されて電気チップと光学チップとの接続で生じる寄生容量が低減された複合チップモジュールを製造できる。

【0022】

この複合チップモジュールの製造方法では、電気チップと光学チップとを短距離化、簡略化させて接続させることより、小型化、及び電気チップと光学チップとの間を行き交う電気信号の伝達速度が高速化された複合チップモジュールを製造できる。

【0023】

上述した目的を達成する本発明に係る複合チップユニットは、絶縁層と、この絶縁層の第1の主面上及び第2の主面上に形成された接続ランド部を備えるパターン配線と、両主面上に形成された接続ランド部同士を電気的に層間接続させる層間ビアとを有する回路部と、接続ランド部に接続される接続端子を有し、この接続端子が接続ランド部と接続されて絶縁層の第1の主面上に実装されることで層間ビアを介して出入力される電気信号を処理する電気チップと、接続端子が接続された接続ランド部に層間ビアを介して接続される端子部を有し、発光部及び

／又は受光部が主面に形成され、この主面と絶縁層の第2の主面とが同一面になるように絶縁層に埋め込まれることで発光部及び／又は受光部が絶縁層の第2の主面で露出されている光学チップとを備える複合チップモジュールと、複合チップモジュールにおける絶縁層の第2の主面上に形成され、絶縁層の第2の主面で露出する発光部と受光部とを光学的に接続させる光伝送路と、複合チップモジュールの接続ランド部に電気的に接続される接続ビアとを有する光電気配線層とを備えていることを特徴としている。

【0024】

この複合チップユニットでは、複合チップモジュールの光学チップ同士の光学的な接続を光電気配線層の光伝送路で行っており、電気チップ及び光学チップを備える複合チップモジュール側にパターン配線と光配線とが混載していないことから、各配線の引き回しが簡略化されて小型化を図れると共に製造時の歩留まりを向上できる。

【0025】

この複合チップユニットでは、複合チップモジュール側の電気チップと、光学チップとが層間ビアにより電気的に層間接続されていることから、電気チップと光学チップとの電気的な接続が短距離化、簡略化されて電気チップと光学チップとの接続で生じる寄生容量を低減できる。

【0026】

この複合チップユニットでは、光学チップの主面と絶縁層の第2の主面とが同一面になるように光学チップが絶縁層に埋め込まれていることで、絶縁層の第2の主面上に形成される光電気配線層における光伝送路や接続ビア等を精度良く形成できる。

【0027】

上述した目的を達成する本発明に係る複合チップユニットの製造方法では、絶縁層と、この絶縁層の第1の主面上及び第2の主面上に形成された接続ランド部を備えるパターン配線とを有する回路部を形成する回路部形成工程と、接続ランド部に接続される接続端子を有し、電気信号を出入力して処理する電気チップを、接続ランド部と接続端子とを接続させることで絶縁層の第1の主面に実装する

実装工程と、外部に対して電気信号の出入力部となる端子部を有し、発光部及び／又は受光部が主面に形成された光学チップを、光学チップの主面と絶縁層の第2の主面とが同一面になるように絶縁層に埋め込むことで発光部及び／又は受光部を絶縁層の第2の主面に露出させる埋め込み工程と、絶縁層の両主面上に形成された接続ランド部間、及び接続端子が接続された接続ランド部と光学チップの端子部とを電気的に層間接続させる層間ビアを、回路部に形成するビア形成工程とを経て複合チップモジュールを形成する工程と、複合チップモジュールにおける絶縁層の第2の主面上に、絶縁層の第2の主面で露出する発光部と受光部とを光学的に接続させる光伝送路と、複合チップモジュールの第2の主面上に形成された接続ランド部に電気的に接続される接続ビアとを有する光電気配線層を形成させる工程とを有していることを特徴としている。

【0028】

この複合チップユニットの製造方法では、複合チップモジュールの光学チップ同士の光学的な接続を行う光伝送路を光電気配線層側に形成させており、電気チップ及び光学チップを備える複合チップモジュール側にパターン配線と光配線とを混載させていないことから、各配線の引き回しを簡略化でき、小型化可能な複合チップユニットを歩留まり良く製造できる。

【0029】

この複合チップユニットの製造方法では、複合チップモジュール側の電気チップと、光学チップとを層間ビアで電気的に層間接続させていることから、電気チップと光学チップとの電気的な接続を短距離化、簡略化でき、電気チップと光学チップとの接続で生じる寄生容量が低減された複合チップユニットを製造できる。

【0030】

この複合チップユニットの製造方法では、光学チップの主面と絶縁層の第2の主面とが同一面になるように光学チップを絶縁層に埋め込むことで、絶縁層の第2の主面上に、光伝送路や接続ビア等が精度良く形成された光電気配線層を有する複合チップユニットを製造できる。

【0031】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。図1に本発明を適用した複合チップユニット1を示す。この複合チップユニット1は、情報信号の伝達速度を高速化できる光電気混載CSP (chip size package) 化された複合チップモジュール2と、この複合チップモジュール2に対して電気的及び光学的に接続される光電気配線層3とによって構成されている。

【0032】

複合チップモジュール2は、回路部4と、この回路部4をベースに実装される半導体チップ5と、この半導体チップ5に電気的に接続される光学チップ6とを備えている。

【0033】

回路部4は、樹脂材料等からなる樹脂層7と、樹脂層7の第1の主面7a上及び第2の主面7b上に形成されたパターン配線8の一部である接続ランド部9と、樹脂層7の第1の主面7aから第2の主面7bに貫通する層間ビア10とを有している。

【0034】

回路部4における樹脂層7は、例えばポリフェニレンエーテル(PPE)、ビスマレイドトリアジン(BT-resin)、液晶ポリマ(LCP)、ポリノルボルネン(PNB)、ビスマレイドトリアジン(BT-レジン)、ポリイミド、ベンゾシクロブテン(BCB)、エポキシ樹脂、アクリル系樹脂等の絶縁性樹脂により形成されている。

【0035】

パターン配線8及び接続ランド部9は、樹脂層7の両主面7a, 7b上に例えば薄膜形成技術等により銅や金等の導電性金属でパターン形成されている。

【0036】

層間ビア10は、例えば銅等の導電性金属からなり、樹脂層7の両主面7a, 7b上に形成された接続ランド部9同士を電気的に層間接続させたり、半導体チップ5が接続された接続ランド部9と光学チップ6とを電気的に層間接続させたりする。これにより、層間ビア10では、半導体チップ5と光学チップ6との間

で電気信号の伝達を行うことになる。

【0037】

半導体チップ5は、樹脂層7の第1の主面7a上に実装されており、電気信号として入力された情報信号に演算処理等を施して電気信号として外部に出力させる例えばICチップやLSIチップ等といった集積回路チップである。そして、この半導体チップ5は、電気信号の入出力部となる接続端子5aを備え、この接続端子5aと樹脂層7の第1の主面7a上に形成された接続ランド部9とが接続バンプ11を介して接続されることで、樹脂層7の第1の主面7a上に実装される。

【0038】

光学チップ6は、電気信号が入出力される端子部12を備え、その主面6a上に光を発光する発光部13及び／又は光を受光する発光部14が形成されている。そして、光学チップ6においては、例えば発光部13を有する場合は発光素子となり、発光部14を有する場合は受光素子となる。また、光学チップ6は、発光部13及び発光部14の両方を有する光学素子であっても良い。具体的に、光学チップ6においては、発光部13を有する発光素子としては例えば半導体レーザや発光ダイオード等が挙げられ、発光部14を有する受光素子としては例えばフォトディオード等が挙げられる。

【0039】

この光学チップ6において、発光素子の場合は、端子部12より入力された電気信号を光信号に変換させて発光部13より光信号として発光させる。一方、受光素子の場合は、発光部14で受光した光信号を電気信号に変換させて端子部12より電気信号として出力させる。

【0040】

この光学チップ6は、発光部13及び／又は発光部14が形成された主面6aと、樹脂層7の第2の主面7bとが同一面となるように、樹脂層7に埋め込まれている。これにより、光学チップ6では、発光部13及び／又は発光部14が樹脂層7の第2の主面7bで露出することになり、第2の主面7b上に例えば光信号配線や光インターフェクション等といった光配線等を容易に形成でき、簡略化

された光配線を発光部 13 及び発光部 14 に接続できる。

【0041】

この光学チップ 6 は、絶縁層 7 の厚み方向に半導体チップ 5 を投影した領域内に埋め込まれている。これにより、複合チップモジュール 2 は、CSP 化されて小型化を図ることが可能となる。

【0042】

このような構成の複合チップモジュール 2 では、樹脂層 7 の第 1 の主面 7a に実装された半導体チップ 5 と、第 2 の主面 7b に埋め込まれた光学チップ 6 とが層間ビア 10 により非常に短距離で層間接続されていることから、半導体チップ 5 と光学チップ 6 との接続で生じる寄生容量を低減できる。

【0043】

また、この複合チップモジュール 2 では、半導体チップ 5 と光学チップ 6 との接続の低寄生容量化により、半導体チップ 5 と光学チップ 6 との間で電気信号の伝達速度を高速化できる。

【0044】

さらにまた、この複合チップモジュール 2 は、詳細は後述するが、樹脂層 7 がダミー基板 30 の高精度な平坦化された主面 30a 上に剥離層 31 を介して積層形成され、ダミー基板 30 及び剥離層 31 が除去されることで形成される。このため、複合チップモジュール 2 では、薄膜形成技術で形成されるパターン配線 8 や接続ランド部 9、樹脂層 7 を貫通する層間ビア 8 等を精度良く形成することができる。

【0045】

なお、図 1 に示す複合チップモジュール 2 においては、回路部 4 が樹脂層 7 一層をベースにした構成になっているが、樹脂層 7 及び樹脂層 7 の両主面 7a, 7b 上に形成されるパターン配線 8、接続ランド部 9 が多層に形成された構成になっていても良い。この場合、回路部 4 には、例えばキャパシタやインダクタ等の受動素子等をパターン配線 8 の一部に形成することも可能である。

【0046】

次に、光電気配線層 3 について説明する。この光電気配線層 3 は、複合チップ

モジュール 2 における樹脂層 7 の第 2 の主面 7 b 上に形成されており、ベースとなるクラッド層 15 と、光伝送路となる光配線コア 16 と、クラッド層 15 の厚み方向に貫通する接続ビア 17 を備えている。

【0047】

クラッド層 15 は、複合チップモジュール 2 における樹脂層 7 の第 2 の主面 7 b 上に形成される下部クラッド層 18 と、下部クラッド層 18 上に形成される上部クラッド層 18 との二層構造になっている。クラッド層 15 は、例えば高分子系の樹脂材料、ガラスやシリカ系の無機材料等により形成されている。クラッド層 15 において、下部クラッド層 18 及び上部クラッド層 18 は、互いの密着性や、応力解除といった信頼性の面で問題のない同じ材料により、複合チップモジュール 2 にダメージを与えることのない低温にて形成されることが望ましい。

【0048】

光配線コア 16 は、一端が複合チップモジュール 2 における樹脂層 7 の第 2 の主面 7 b で露出する光学チップ 6 の発光部 13 と相対し、他端が第 2 の主面 7 b で露出する光学チップ 6 の発光部 14 と相対するように形成されている。この光配線コア 16 は、下部クラッド層 18 と上部クラッド層 18 とで挟まれることでクラッド層 15 に周囲を覆われるようにされている。

【0049】

光配線コア 16 は、例えば上述したクラッド層 15 の屈折率よりも大きな屈折率を有するポリイミド、エポキシ系樹脂、アクリル系樹脂、ポリオレフィン系樹脂、ゴム系樹脂等の樹脂材料により、リッジ形状やスラブ形状に形成されている。これにより、光配線コア 16 は、周囲が屈折率の小さい材料で覆われていることから、導光させる光信号を全反射させながら伝播させることが可能な光導波路となる。

【0050】

また、光配線コア 16 は、両端部にミラー部 20 a, 20 b が配設されている。そして、光配線コア 16 では、一端に配設されたミラー部 20 a が発光部 13 で発光された光信号を図中矢印 A で示す光電気配線層 3 に対して略平行になる方向に反射させ、他端に配設されたミラー部 20 b が伝播されてきた光信号を図中

矢印Bで示す光電気配線層3に対して略垂直になる方向に反射させる。これにより、光配線コア16では、複合チップモジュール2における光学チップ6の発光部13で発光された光信号を、光学チップ6の発光部14に伝播させることが可能となる。

【0051】

このような構成の光電気配線層3は、上述した回路部4と同様に、クラッド層15を多層に形成し、層間にパターン配線等がパターン形成された構成にすることも可能である。この場合も、例えばパターン配線に受動素子等を形成させることが可能である。

【0052】

以上のような構成の複合チップユニット1では、複合チップモジュール2の光学チップ6における発光部13と発光部14との光学的な接続を光電気配線層3の光配線コア16で行っており、従来のようにパターン配線と光配線とが混載されないことから、パターン配線8や光配線コア16の引き回しが簡略化されて製造時の歩留まりを向上できる。

【0053】

また、この複合チップユニット1では、半導体チップ5と光学チップ6とが複合チップモジュール2に備わり1チップ化されていることから、例えばマザー基板等に実装させる場合、半導体チップ5と光学チップ6とを一括して実装できる。このため、この複合チップユニット1では、従来のように半導体チップや光学チップをそれぞれ実装させる度に行ってアライメント調整の回数を減らすことができ、更に製造時の歩留まりを向上できる。

【0054】

さらに、この複合チップユニット1では、光学チップ6の正面6aと絶縁層7の第2の正面7bとが同一面になるように光学チップ6が絶縁層7に埋め込まれていることで、絶縁層7の第2の正面7b上に形成される光電気配線層3における光配線コア16や接続ビア17等を精度良く形成できる。

【0055】

次に、上述した複合チップユニット1の製造方法について説明する。複合チッ

ユニット 1 を製造する際は、先ず、複合チップモジュール 2 を作製する。複合チップモジュール 2 を製造する際は、図 2 に示すように、主面 30a 上に剥離層 31 が成膜されたダミー基板 30 を用意する。ダミー基板 30 には、高い耐熱性を有し、その主面が高度に平坦化されている例えばガラス基板や、石英基板や、Si 基板等を用いる。剥離層 31 は、例えばスパッタリング法や化学蒸着 (CDV: Chemical Vapor Deposition) 法等といった薄膜形成技術によってダミー基板 30 の主面 30a 上の全面に亘って 1000 Å 程度の均一な厚みに成膜された銅やアルミニウム等の金属膜 31a と、この金属膜 31a 上にスピンドルコート法等で全面に亘って 1 μm ~ 2 μm 程度の厚みに成膜されたポリイミド樹脂等の樹脂膜 31b とによって構成されている。

【0056】

次に、剥離層 31 上には、図 3 に示すように、光学チップ 6 を所定の位置に配設させる。このとき、光学チップ 6 は、例えば発光部 13 や発光部 14 が形成された主面 6a が剥離層 31 と対向するように配設させる。光学チップ 6 が配設される剥離層 31 は、配設される光学チップ 6 が固定できるように、ある程度の粘着性を有していることが好ましい。

【0057】

次に、剥離層 31 上には、図 4 に示すように、光学チップ 6 を覆うように樹脂層 7 が形成される。樹脂層 7 は、例えば従来の配線基板製造工程において一般的に知られる上述した絶縁性材料を用いて成膜形成される。具体的に、樹脂層 7 は、液状の絶縁性材料を例えばスピンドルコート法、カーテンコート法、ロールコート法、ディップコート法等によって剥離層 31 上に塗布させることで成膜形成される。

【0058】

次に、樹脂層 7 には、図 5 に示すように、例えばバックグラインド法や化学-機械研磨法 (CMP: Chemical-Mechanical Polishing) 等による研磨処理が施される。このとき、樹脂層 7 には、少なくとも光学チップ 6 の主面 6a とは反対側の主面 8b が露出されるまで研磨処理を施す。これにより、樹脂層 7 は、研磨面が第 1 の主面 7a となり高精度の平坦化されると共に、所定の厚みにまで薄型化さ

れることになる。

【0059】

次に、樹脂層7には、図6に示すように、所定の位置に層間ビア10となる開口部32がパターンニング処理により形成される。開口部32は、樹脂層7に感光性の絶縁性材料を用いた場合、例えばフォトリソグラフ技術によるパターンニング処理で形成される。また、開口部32は、樹脂層7に非感光性の絶縁性材料を用いた場合、例えばフォトレジストやアルミニウム等のマスクを用い、ドライエッティングやレーザ加工等によるパターンニング処理で形成される。

【0060】

また、光学チップ6にも、樹脂層7と同様にして開口部32が形成される。このとき、光学チップ6には、端子部12が望むように開口部32を形成させる。

【0061】

次に、樹脂層7の第1の主面7a上には、図7に示すように、パターン配線8が例えばセミアディティブ法やフルアディティブ法等によってパターン形成される。また、パターン配線8をパターン形成する際は、例えば銅、アルミニウム等の導電性金属からなる金属膜を成膜した後に、所望の形状にエッティング処理等をほどこすことでパターン形成させても良い。このとき、パターン配線8の一部には、半導体チップ5の接続端子5aが接続される接続ランド部9も同時にパターン形成される。また、層間ビア10も、パターン配線8と一緒に形成される。接続ランド部9には、半導体チップ5の接続端子5aを適切に接続させるために、表面に例えば金やスズ等を成膜させるめつき処理を施しても良い。このようにして、樹脂層7に光学チップ6が埋め込まれた回路部4が形成される。

【0062】

次に、樹脂層7の第1の主面7a上には、図8に示すように、半導体チップ5を実装させる。具体的に、半導体チップ5は、予め接続端子5aに接続バンプ11が形成され、この接続バンプ11が例えばアンダーフィル法、TAB (Tape Automated Bonding) 法、リードビームボンディング法等のフェースダウン実装法により接続ランド部9に接続されることで樹脂層7の第1の主面7a上に実装される。例えばアンダーフィル法の場合、半導体チップ5と樹脂層7との間に樹脂

部材33を充填させ、充填させた樹脂部材33が硬化した際の収縮力が半導体チップ5の接続端子5aと接続ランド部9とを互いに押しつけることで適切に接続されることになる。なお、半導体チップ5を樹脂層7に実装する際は、上述したフェースダウン実装法に限定されることはなく、例えばフリップチップボンディング法等で実装させることも可能である。

【0063】

次に、樹脂層7の第1の主面7a上には、図9に示すように、実装された半導体チップ5を被覆するように保護層34が形成される。保護層34は、例えばトランスマルチモード法や印刷法等によって半導体チップの周囲を覆うように樹脂が充填されることで樹脂蔵4の第1の主面7a全面に亘って形成される。保護層34には、例えばエポキシ系樹脂等のように熱硬化による樹脂自体の収縮率が小さな樹脂が用いる。これにより、樹脂層7では、保護層34が熱硬化する際の収縮によって反り等の変形が生じることを防止できる。また、保護層34には、機械的強度を向上させるためにシリカ系フィラーを含有させても良い。

【0064】

次に、半導体チップ5及び保護層34には、図10に示すように、研磨処理が施される。この研磨処理では、例えばグラインダを用いた機械研磨法、ウェットエッティングによる化学研磨法或いはこれらの研磨法を併用したCMP法等によって行われ、保護層34と共に、その機能に支障が生じない限界の厚みまで半導体チップ5を研磨する。この研磨処理では、ダミー基板30を半導体チップ5及び保護層34に対する支持基板とし、半導体チップ5の研磨面方向の周囲を保護層34が埋め込まれて半導体チップ5と保護層34とに段差が生じないようにして研磨していくことから、半導体チップ5のエッジ欠けを防ぎながら半導体チップ5及び保護層34を研磨させることができる。

【0065】

次に、ダミー基板30は、図11に示すように、樹脂層7の第2の主面7bから剥離層31と共に除去される。具体的には、ダミー基板30及び剥離層31を例えば塩酸や硝酸等の酸性溶液中に浸漬させることで酸性溶液が剥離層31の金属膜31aを僅かに溶解させつつ金属膜31aと樹脂膜31bとの間に浸入して

いき、金属膜31aと樹脂膜31bとの間で剥離が進行し、樹脂層7の第2の主面7b上に樹脂膜31bが残留した状態でダミー基板30が除去される。また、ダミー基板30は、例えばレーザアブレーション処理によって樹脂層7から除去されるようにもしても良い。

【0066】

次に、樹脂層7の第2の主面7b上に残留した樹脂膜31bは、例えば酸素プラズマによるドライエッティング法等によって除去される。これにより、樹脂層7の第2の主面7bでは、層間ビア10の端部が露出することになる。また、樹脂層7の第2の主面7bでは、光学チップ6の主面6aと同一面になって光学チップ6における発光部13及び発光部14が露出される。樹脂層7の第2の主面7bは、相対していたダミー基板30の主面30aが高精度に平坦化されていることから、高精度に平坦化されることになる。なお、ダミー基板30は、必要に応じて再利用される。

【0067】

次に、樹脂層7の第2の主面7b上には、図12に示すように、接続ランド部9が形成される。接続ランド部9は、樹脂層7の第2の主面7bで露出している層間ビア10の端面を覆うように、例えば薄膜形成技術等により銅、金、スズ等の導電性金属で形成される。このようにして、半導体チップ5と光学チップ6とを備え、CSP化された複合チップモジュール2が作製される。

【0068】

次に、光電気配線層3を作製する。光電気配線層3を製造する際は、図13に示すように、複合チップモジュール2の厚み方向の上下を反転させ、複合チップモジュール2における樹脂層7の第2の配線層4b上に下部クラッド層18を形成させる。この下部クラッド層18は、上述した樹脂層7と同様に、液状の高分子系樹脂材料を例えばスピンドルコート法、カーテンコート法、ロールコート法、ディップコート法等によって樹脂層7の第2の主面7b上に塗布させることで成膜形成される。

【0069】

次に、下部クラッド層18上には、図14に示すように、光配線コア16が形

成される。光配線コア 16 は、下部クラッド層 18 に用いられた樹脂材料の屈折率よりも大きな屈折率を有する液状の樹脂材料を例えばスクリーン印刷法等で所定の形状に塗布することでパターン形成される。また、光配線コア 16 には、両端部に例えば金やアルミニウム等からなるミラー部 20a, 20b が配設される。

【0070】

次に、下部クラッド層 18 上には、図 15 に示すように、パターン形成された光配線コア 16 を被覆するように上部クラッド層 18 が形成される。上部クラッド層 18 は、上述した下部クラッド層 18 と同様の材料及び同様の方法で形成される。このようにして下部クラッド層 18 と上部クラッド層 18 とからなり、光電気配線層 3 のベースとなるクラッド層 15 が構成される。また、光配線コア 16 は、周囲が屈折率の小さい樹脂材料で形成されたクラッド層 15 で覆われていることから、導光させる光信号を全反射させながら伝播させることが可能な光導波路となる。

【0071】

次に、クラッド層 15 には、図 16 に示すように、厚み方向に貫通して複合チップモジュール 2 における樹脂層 7 の第 2 の主面 7b 上に形成された接続ランド部 9 に接続される接続ビア 17 が形成される。接続ビア 17 は、上述した層間ビア 10 と同様の材料及び同様の方法で形成される。そして、クラッド層 15 の複合チップモジュール 2 と対向する主面とは反対側の主面 14a 上には、露出する接続ビア 17 の端部を覆うように、例えば複合チップユニット 1 がマザー基板等に実装された際の外部に対する電気信号や電力等の供給部となる入出力端子部 35 が上述した接続ランド部 9 と同様の方法で形成される。そして、このようにして光電気配線層 3 が複合チップモジュール 2 上に作製されることで、複合チップユニット 1 が製造される。

【0072】

以上で説明した複合チップユニット 1 の製造方法では、複合チップモジュール 2 の光学チップ 6 同士の光学的な接続を行う光配線コア 16 を光電気配線層 3 側に形成させており、複合チップモジュール側にパターン配線 6 と光配線コア 16

とを混載させていないことから、各配線の引き回しが簡略化されて歩留まり良く複合チップユニット1を製造できる。

【0073】

また、この製造方法によれば、複合チップモジュール2において、半導体チップ5と光学チップ6とを層間ビア10で層間接続させており、これらを非常に短距離で電気的に接続できることから、半導体チップ5と光学チップ6との接続の低寄生容量化が図られた複合チップユニットを製造できる。

【0074】

上述した複合チップユニット1の製造方法では、複合チップモジュール2を作製する際に一個取りの場合で説明したが、このことに限定されることはなく、図17に示すように、例えば一枚のダミー基板30上に複合チップモジュール2を複数個作製した後に、所定の位置で切り分けることで一括して複数個の複合チップモジュール2を作製させることも可能である。

【0075】

また、上述した実施の形態では、一つの半導体チップ5に電気的に接続された発光部13を備える光学チップ6と発光部14を備える光学チップ6とが光配線コア16が光学的に接続された構成の複合チップユニット1を例に挙げて説明しているが、このことに限定されることはなく、図18に示す複合チップユニット40のように、例えば複数の半導体チップ5にそれぞれ備わる光学チップ6同士を光配線コア16で光学的に接続された構成にすることも可能である。

【0076】

この複合チップユニット40は、例えば一般的な多層配線基板製造工程を経ることで製造されるマザー基板41等にフリップチップボンディング法等で実装させることも可能である。これにより、複合チップユニット40は、マザー基板41の層内に形成されたパターン配線42やビア43等を介して電力や電気信号等が入力されることになる。

【0077】

さらに、上述した実施の形態では、複合チップモジュール2における光学チップ6同士の光学的な接続は光電気配線層3に設けられた光配線コア16を介して

行われる構成の複合チップユニット 1 を例に挙げて説明しているが、このことに限定されることはなく、図 19 に示すように、例えば光電気配線層 3 を用いることなく、複合チップモジュール 2 を光電気配線混載基板 50 等に実装させることで光学チップ 6 同士を接続させた構成にすることも可能である。

【0078】

この場合、複合チップモジュール 2 では、半導体チップ 5 に対する電力や電気信号の供給が、例えば光電気配線混載基板 50 に設けられたパターン配線 81 やビア 52 等といった電気配線を介して行われる。一方、光学チップ 6 同士の光学的な接続は、例えば光電気配線混載基板 50 に設けられた光配線コア 53 を介して行われる。また、複合チップモジュール 2 は、図に示すように、光電気配線混載基板 50 の主面 50a 上に、例えばフリップチップボンディング法等で複数実装させることも可能である。

【0079】

【発明の効果】

以上詳細に説明したように、本発明によれば、絶縁層の第 1 の主面に実装された電気チップと、絶縁層の第 2 の主面に埋め込まれた光学チップとを層間ビアにより短距離で電気的に接続させることにより、電気チップと光学チップとの接続の低寄生容量化を図ることができる。

【0080】

また、本発明によれば、複合チップモジュールの光学チップ同士の光学的な接続を光電気配線層の光伝送路で行っており、複合チップモジュール側にパターン配線と光配線とを混載させないことから、各配線の引き回しが簡略化されて製造時の歩留まりの向上と、小型化を図ることができる。

【0081】

したがって、本発明によれば、電気チップと光学チップとの接続で生じる寄生容量が低減され、且つ製造時の歩留まりの向上、小型化が図られた複合チップモジュール及び複合チップユニットを得ることができる。

【図面の簡単な説明】

【図 1】

本発明を適用した複合チップユニットの一例を示す断面図である。

【図2】

同複合チップユニットの製造方法を説明するため図であり、ダミー基板の縦断面図である。

【図3】

同複合チップユニットの製造方法を説明するため図であり、ダミー基板上に光学チップを配置した状態を示す縦断面図である。

【図4】

同複合チップユニットの製造方法を説明するため図であり、ダミー基板上に樹脂層を形成させた状態を示す縦断面図である。

【図5】

同複合チップユニットの製造方法を説明するため図であり、樹脂層及び光学チップに研磨処理が施された状態を示す縦断面図である。

【図6】

同複合チップユニットの製造方法を説明するため図であり、樹脂層及び光学チップに開口部が形成された状態と示す縦断面図である。

【図7】

同複合チップユニットの製造方法を説明するため図であり、樹脂層の第1の主面上にパターン配線及び接続ランド部が形成された状態を示す縦断面図である。

【図8】

同複合チップユニットの製造方法を説明するため図であり、樹脂層の第1の主面上に半導体チップが実装された状態を示す縦断面図である。

【図9】

同複合チップユニットの製造方法を説明するため図であり、半導体チップが保護層で覆われた状態を示す縦断面図である。

【図10】

同複合チップユニットの製造方法を説明するため図であり、半導体チップ及び保護層に研磨処理が施された状態を示す縦断面図である。

【図11】

同複合チップユニットの製造方法を説明するため図であり、ダミー基板が除去された状態を示す縦断面図である。

【図12】

同複合チップユニットの製造方法を説明するため図であり、作製された複合チップモジュールを示す縦断面図である。

【図13】

同複合チップユニットの製造方法を説明するため図であり、複合チップモジュール上に下部クラッド層が形成された状態を示す縦断面図である。

【図14】

同複合チップユニットの製造方法を説明するため図であり、下部クラッド層上に光配線コアが形成された状態を示す縦断面図である。

【図15】

同複合チップユニットの製造方法を説明するため図であり、下部クラッド層上に上部クラッド層が形成された状態を示す縦断面図である。

【図16】

同複合チップユニットの製造方法を説明するため図であり、完成した複合チップユニットを示す縦断面図である。

【図17】

同複合チップモジュールを一括して複数作製することを説明する図であり、同図（a）はダミー基板上に複数の複合チップモジュールが形成された状態を示す縦断面図であり、同図（b）はダミー基板上に複数形成された複合チップモジュールを切り分けた状態を示す縦断面図である。

【図18】

同複合チップユニットの他の構成例であり、複数の半導体チップを備えた複合チップユニットがマザーボードに実装された状態を示す縦断面図である。

【図19】

同複合チップモジュールが光電気配線混載基板の主面上に複数実装された状態を示す縦断面図である。

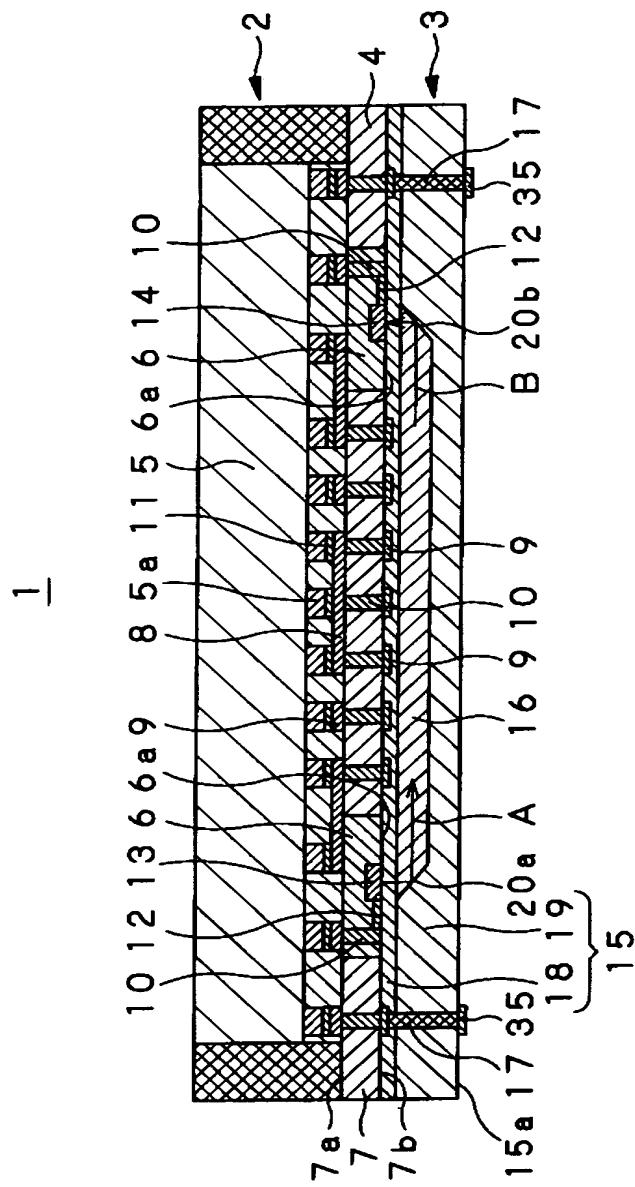
【符号の説明】

1, 40 複合チップユニット、2 複合チップモジュール、3 光電気配線層、4 回路部、5 半導体チップ、5a 接続端子、6 光学チップ 7 樹脂層、7a 第1の正面、7b 第2の正面、8 パターン配線、9 接続ランド部、10 層間ビア、11 接続バンプ、12 端子部、13 発光部、14 受光部、15 クラッド層、16 光配線コア、17 接続ビア、18 下部クラッド層、19 上部クラッド層、20a, 20b ミラー部、30 ダミー基板、31 剥離層

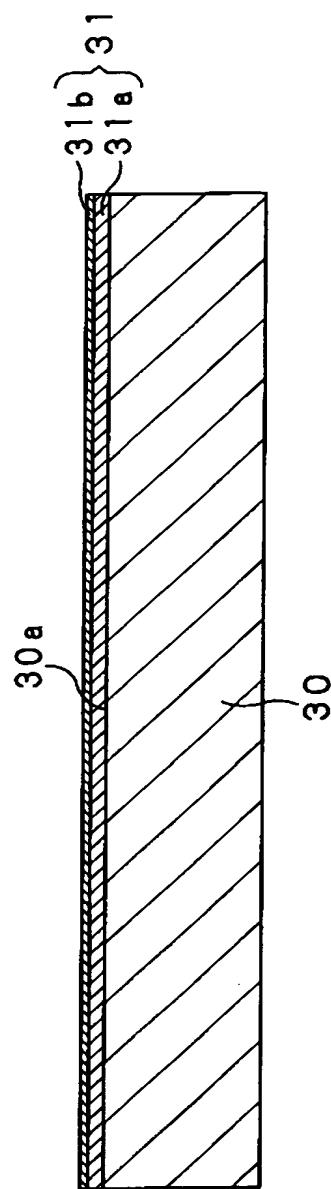
【書類名】

図面

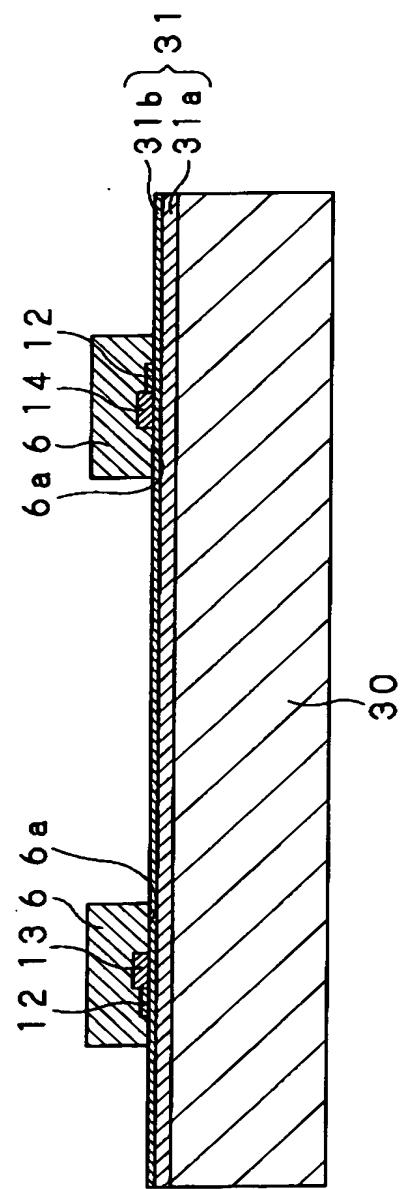
【図1】



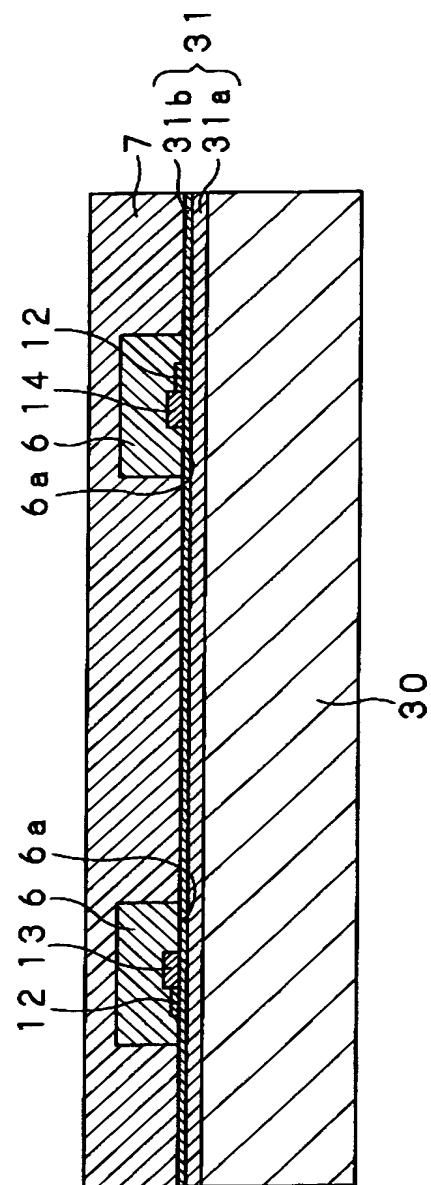
【図2】



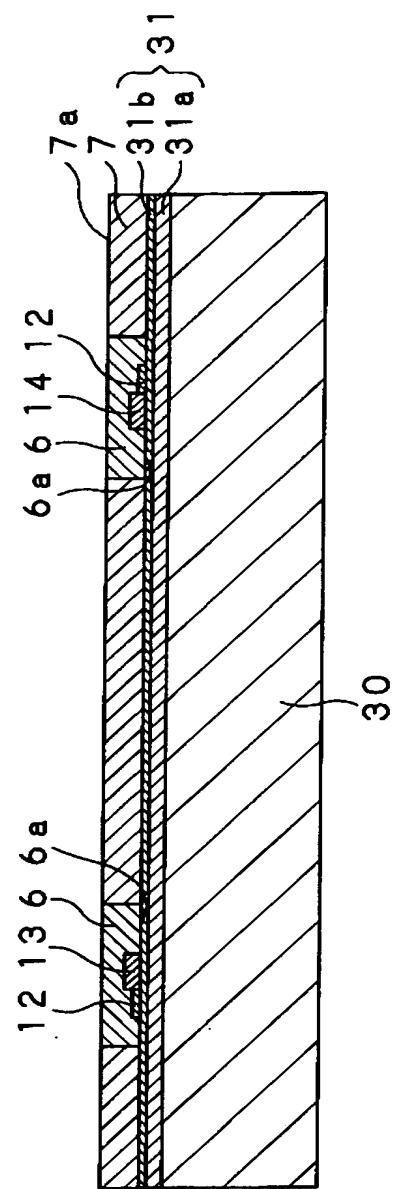
【図3】



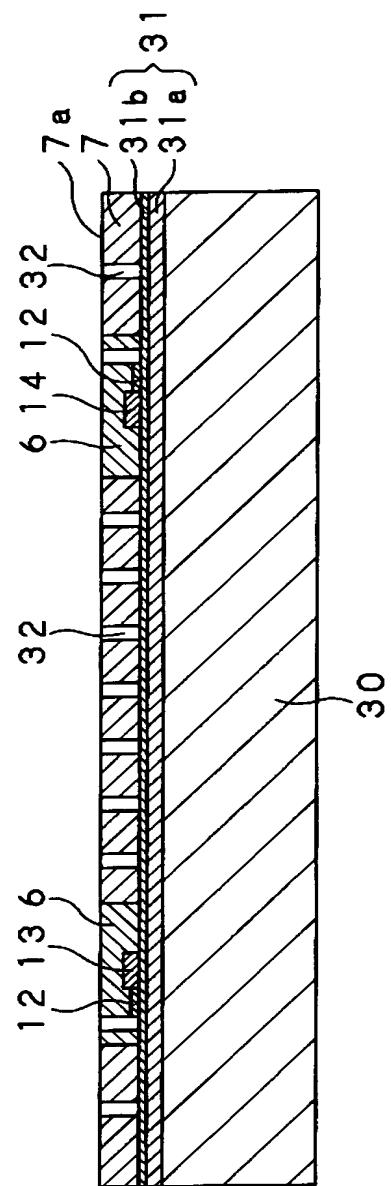
【図 4】



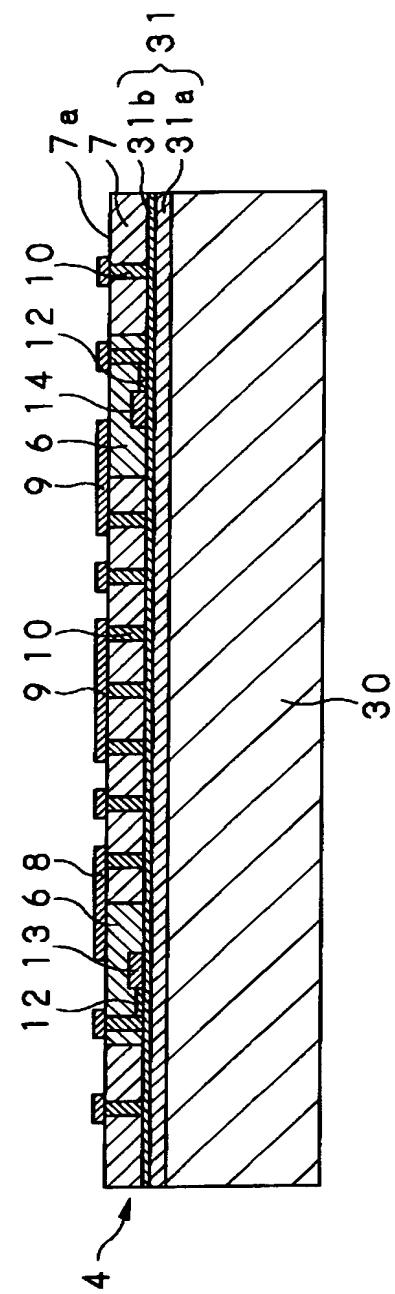
【図5】



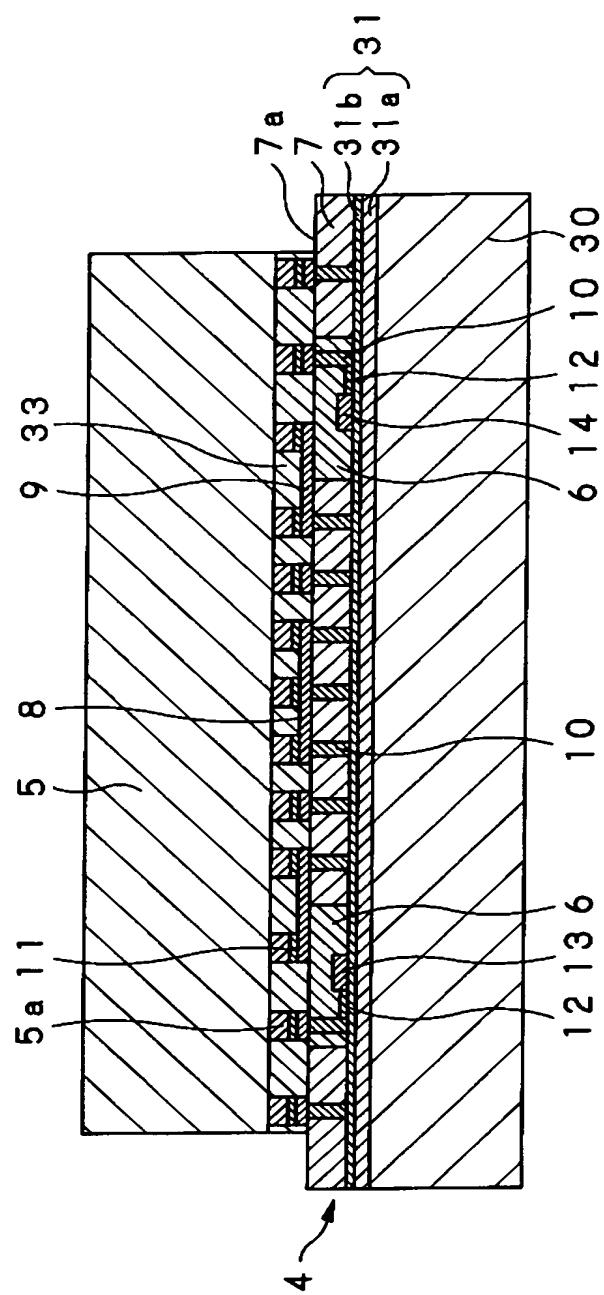
【図 6】



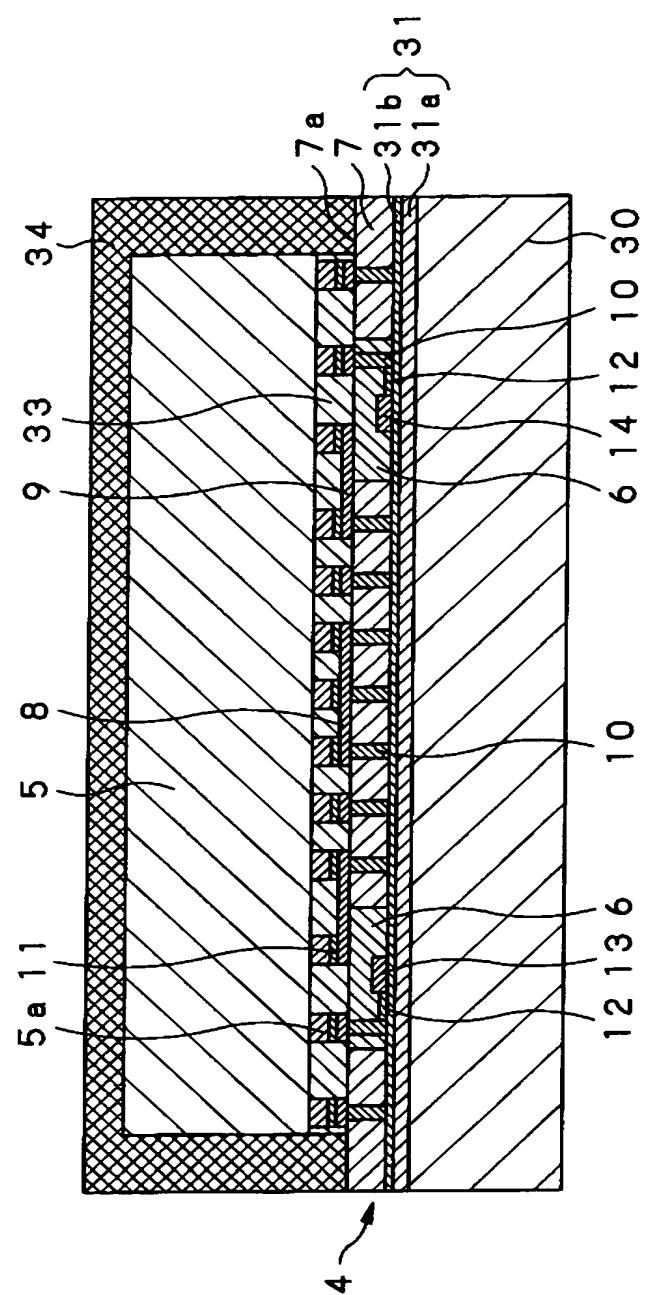
【図7】



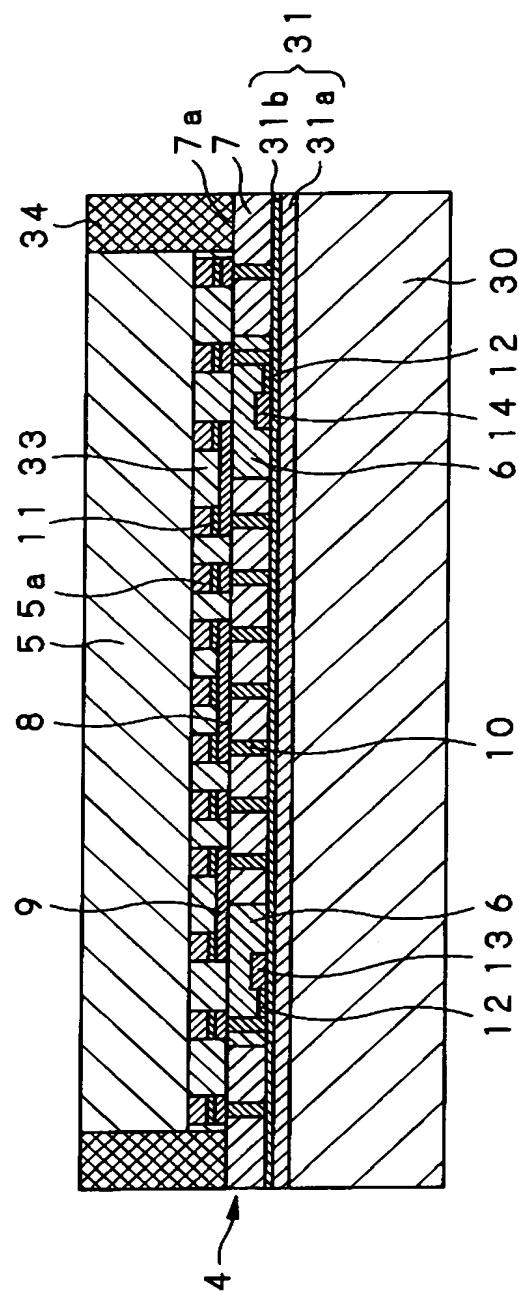
【図8】



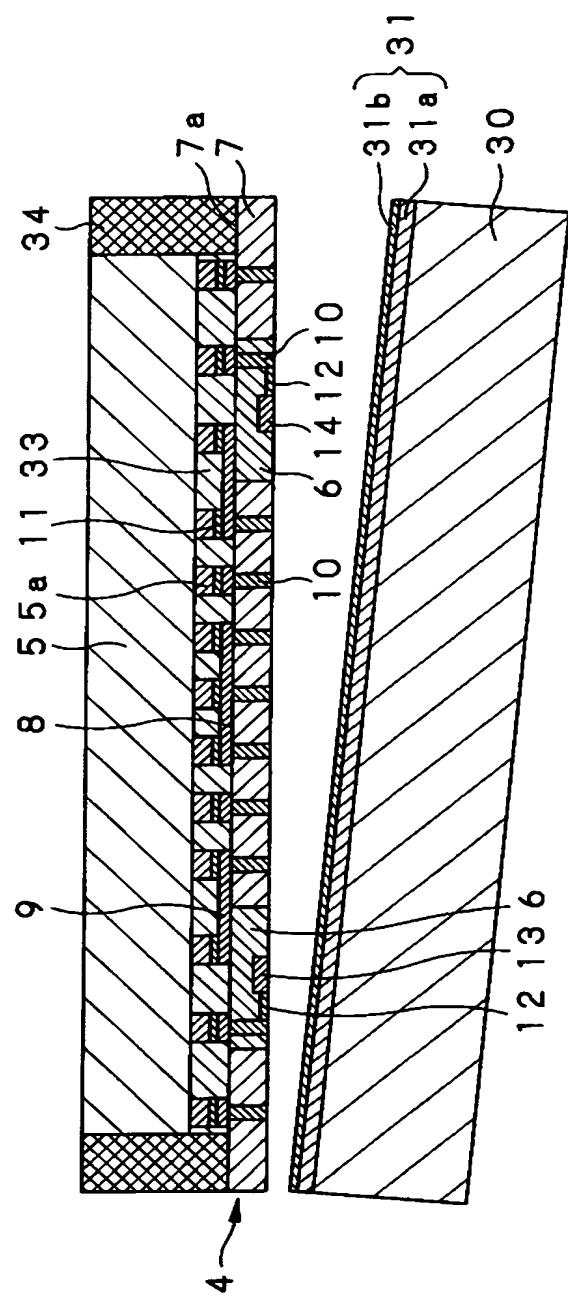
【図9】



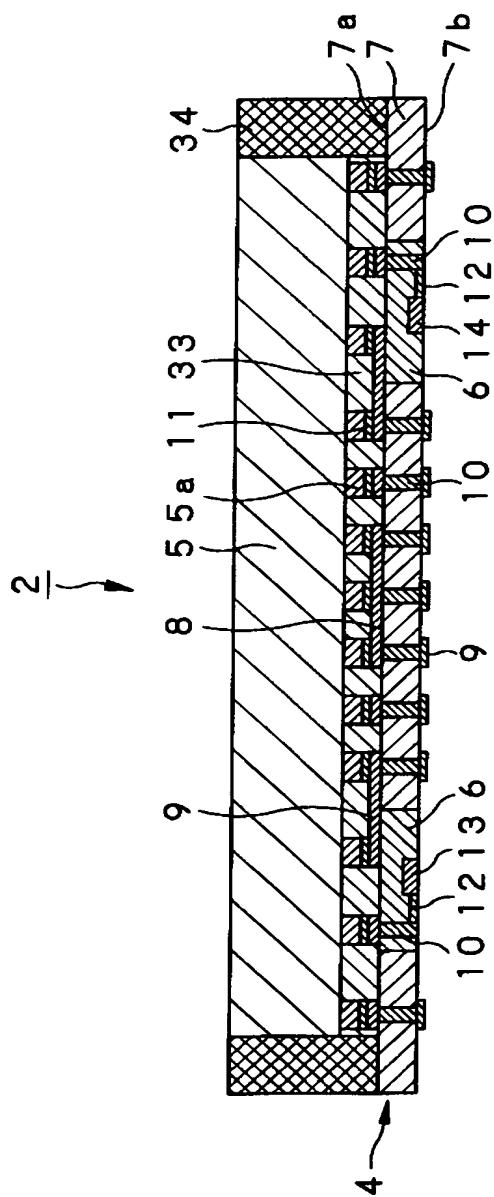
【図10】



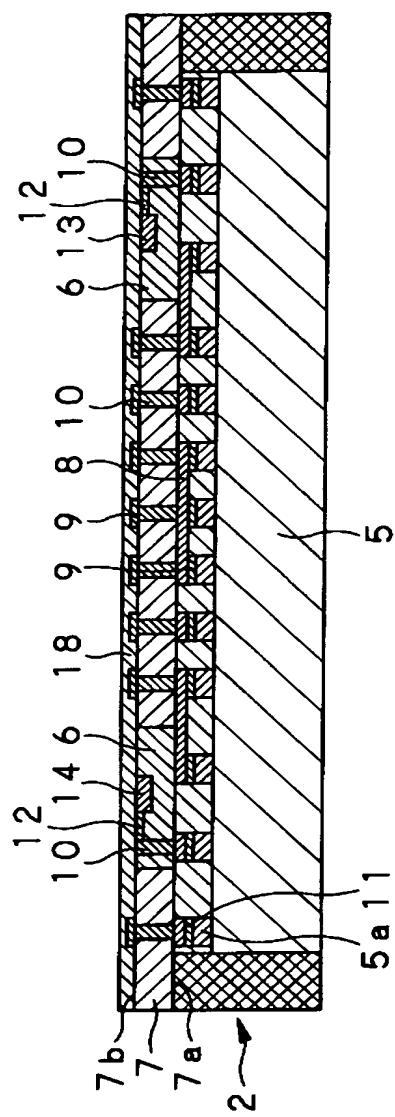
【図11】



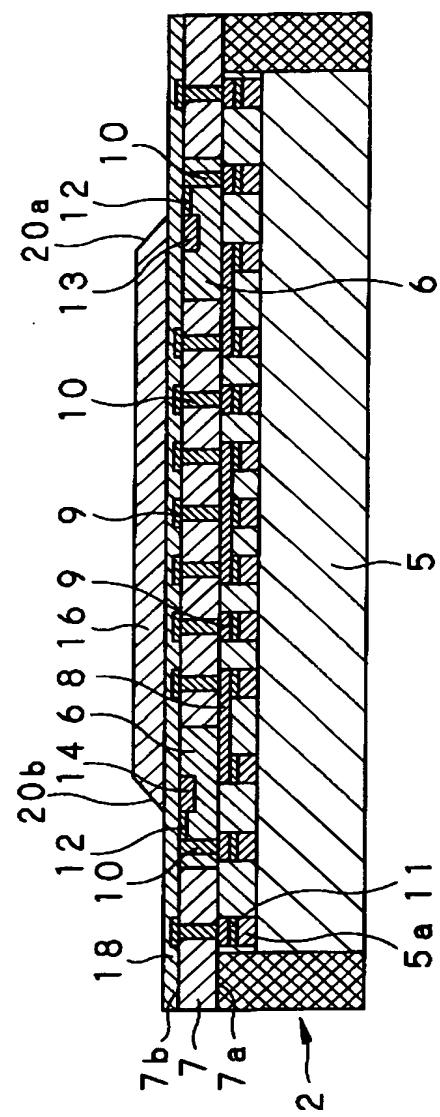
【図12】



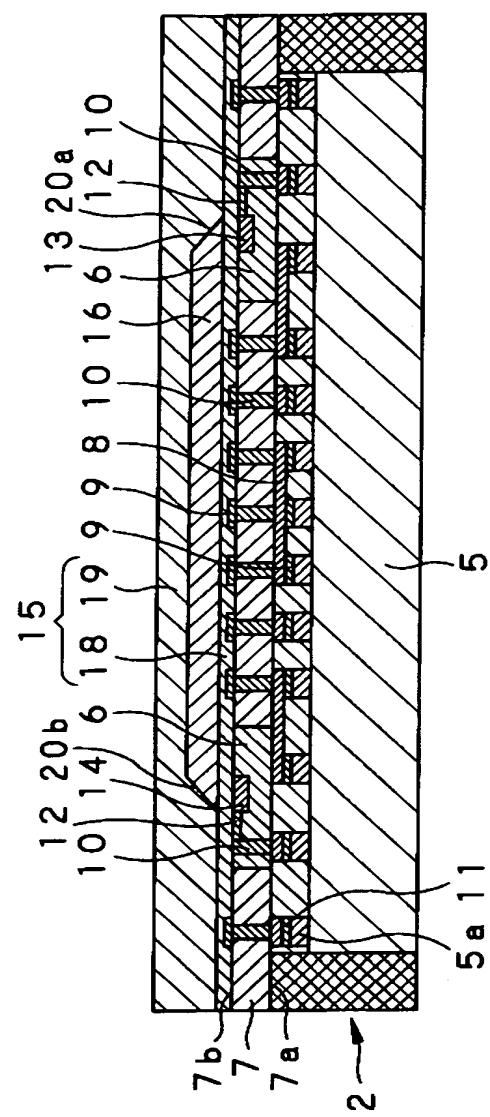
【図13】



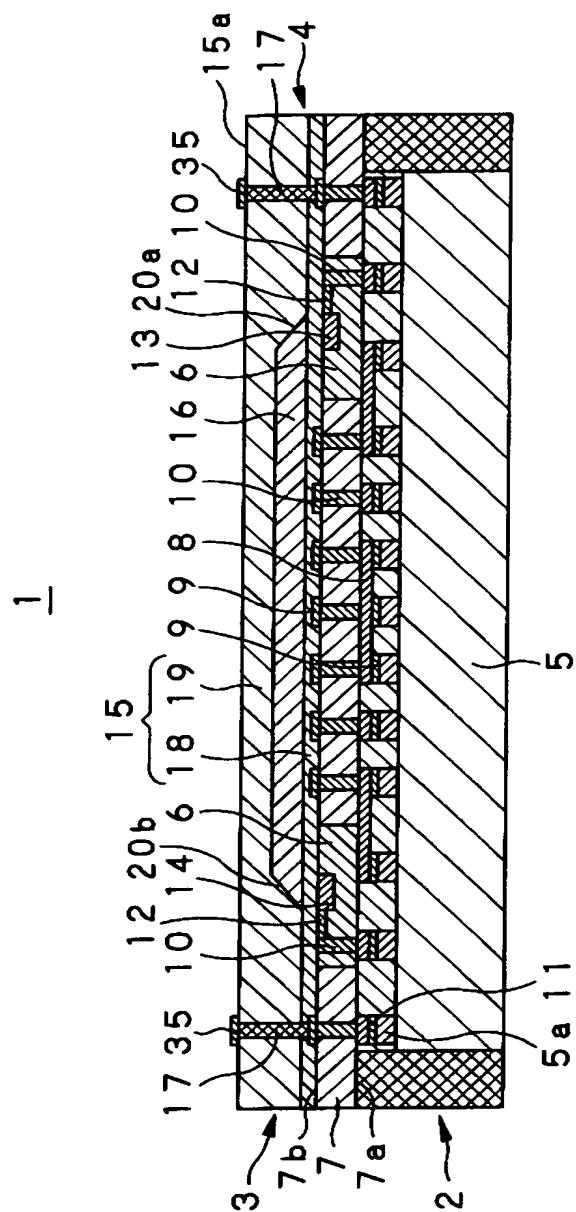
【図14】



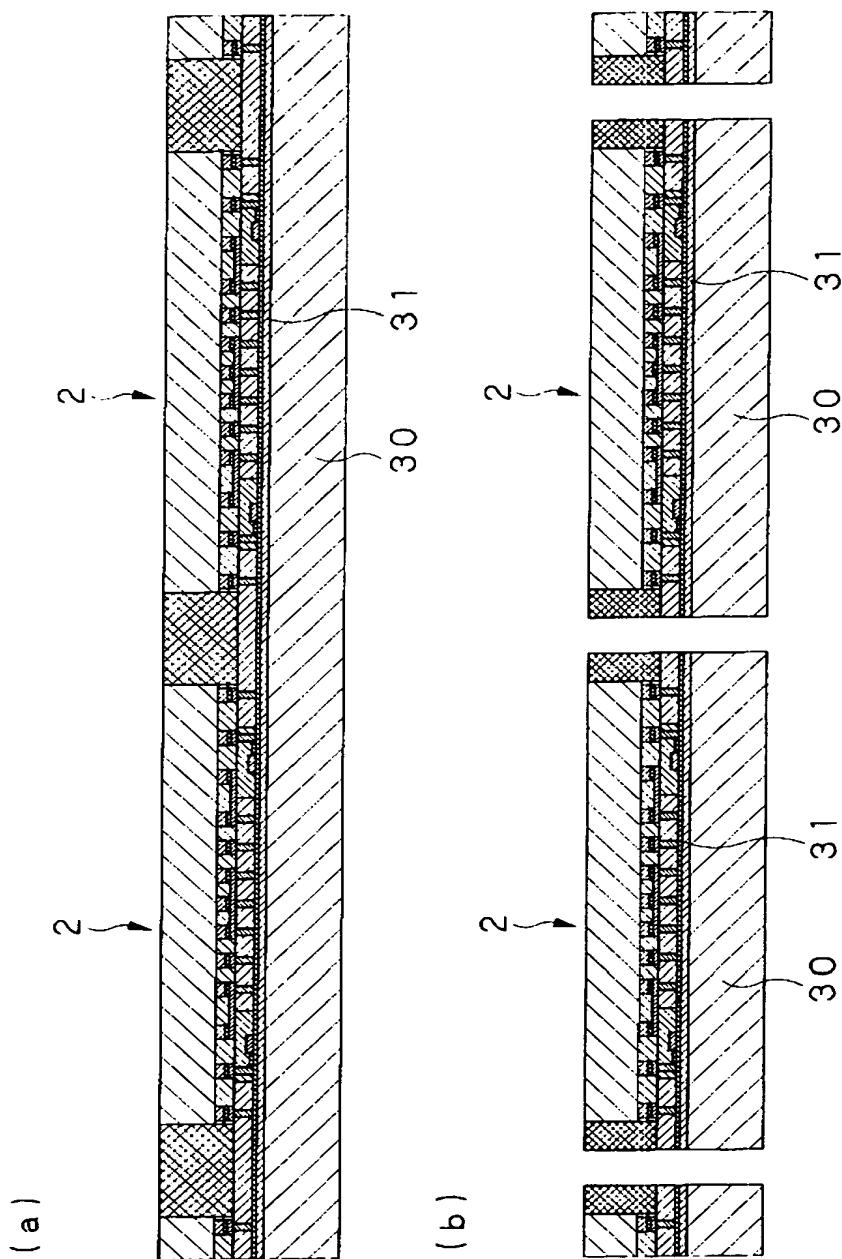
【図15】



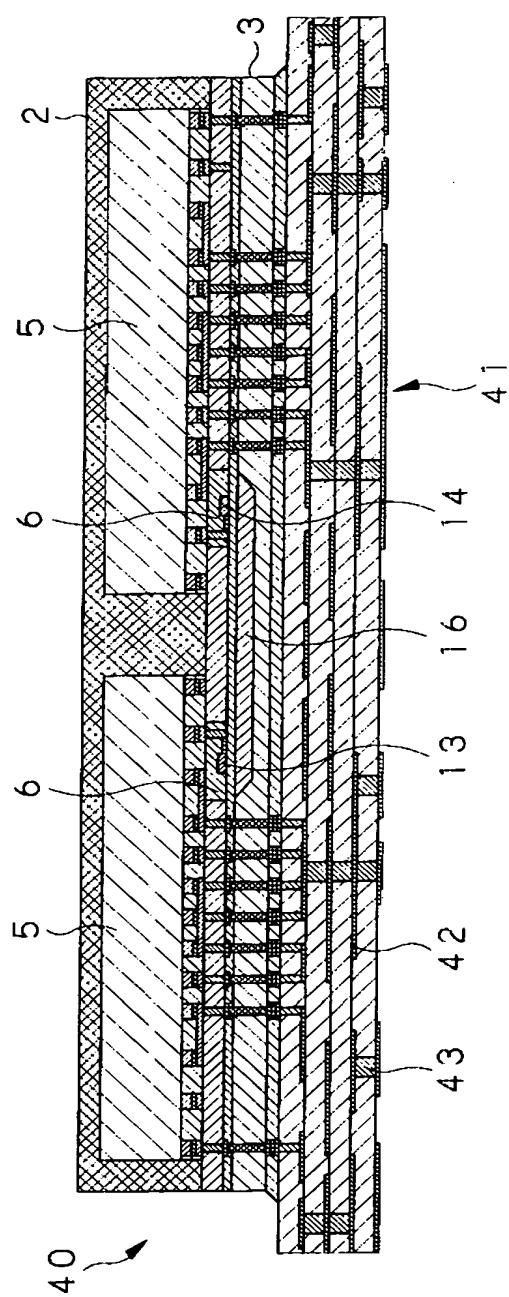
【図16】



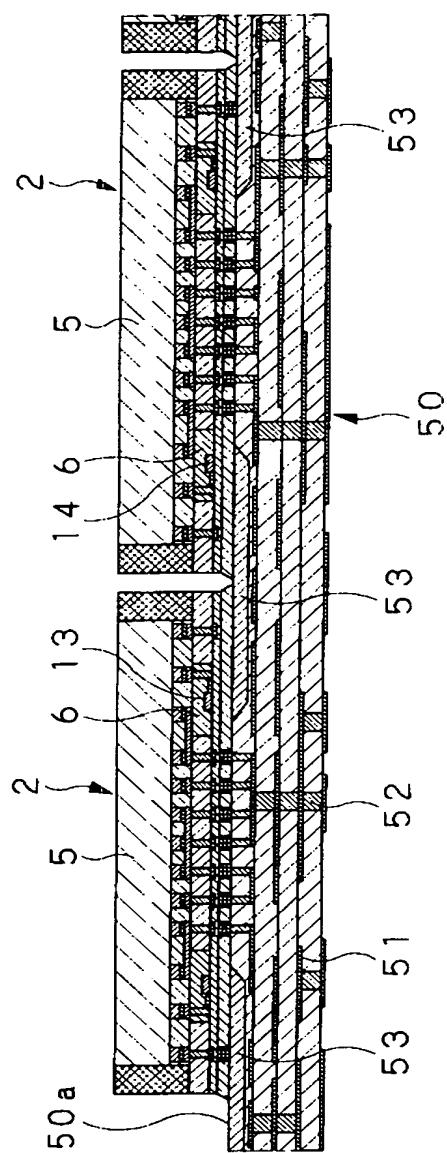
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 寄生容量を低減させる。

【解決手段】 樹脂層7の第1の主面7aに実装された半導体チップ5と、樹脂層7の第2の主面7bに埋め込まれた光学チップ6とを層間ビア10により層間接続させることにより、半導体チップ5と光学チップ6とが短距離で接続されることから、半導体チップ5と光学チップ6との接続で生じる寄生容量を低減できる。

【選択図】 図1

特願2002-309978

出願人履歴情報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社